

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77298
(P2001-77298A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平11-254355

(22) 出願日 平成11年9月8日 (1999.9.8)

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 今田 光彦

福岡県北九州市八幡西区小嶺2丁目10番1号 株式会社三井ハイテック内

(72) 発明者 平島 哲之

福岡県北九州市八幡西区小嶺2丁目10番1号 株式会社三井ハイテック内

(72) 発明者 石原 政道

福岡県北九州市八幡西区小嶺2丁目10番1号 株式会社三井ハイテック内

(74) 代理人 100071054

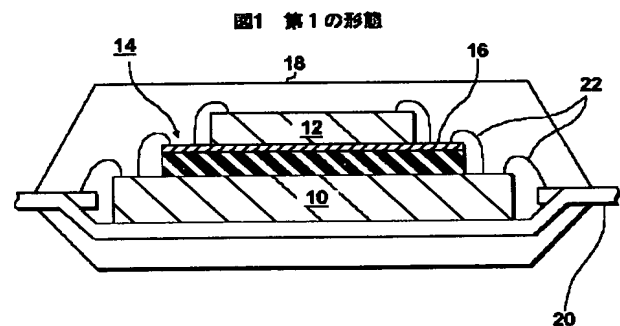
弁理士 木村 高久

(54) 【発明の名称】 マルチチップパッケージ

(57) 【要約】

【課題】 中間配線基板の片面化に適したマルチチップパッケージを提供する。

【解決手段】 第1の半導体チップ (10) と、第2の半導体チップ (12) とを、該第1の半導体チップ (10) のパッド形成面上に配設された中間配線基板 (14) の露呈面を介して接続する。



【特許請求の範囲】

【請求項 1】 第 1 および第 2 の半導体チップの少なくとも一方がリードフレームに接続されたマルチチップパッケージにおいて、

前記第 1 および第 2 の半導体チップは、該第 1 の半導体チップのパッド形成面上に配設された中間配線基板の露呈面を介して接続されることを特徴とするマルチチップパッケージ。

【請求項 2】 前記中間配線基板の露呈面と、前記第 1 および第 2 の半導体チップのパッド形成面とは、ワイヤーにより接続されることを特徴とする請求項 1 記載のマルチチップパッケージ。

【請求項 3】 前記中間配線基板は、片面基板で構成されることを特徴とする請求項 1 または 2 記載のマルチチップパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップパッケージに関し、特に、中間配線基板の片面化に適したマルチチップパッケージに関する。

【0002】

【従来の技術】1つのパッケージ内に複数の半導体チップ（例えば、ロジックとメモリ）を備えたマルチチップパッケージが知られている。これら複数の半導体チップは、通常、積層配置され、パッケージの薄型化が図られる。

【0003】さらに、コストの低減を図るため、上記各半導体チップには、汎用サイズのものが使用される。汎用サイズのロジックとメモリは、通常チップサイズが異なるため、この両者が組み込まれる場合は、該各チップの配線に中間配線基板を利用することが望ましい。

【0004】従来この種の中間配線基板には、セラミックの両面多層基板が用いられ、該多層基板の表裏面には、それぞれ配線パターンが形成される。該表裏面の配線パターンには、それぞれ別のチップが搭載され、該各チップは、その搭載された配線パターンに接続される。

【0005】しかし、両面多層基板は製造コストが高く、また、セラミック基板は厚いため、パッケージのコスト低減および薄型化を進展させるためには、さらなる改善が望まれる。

【0006】

【発明が解決しようとする課題】本発明は、中間配線基板の片面化に適したマルチチップパッケージを提供することを課題とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明では、第 1 および第 2 の半導体チップが該第 1 の半導体チップのパッド形成面上に配設された中間配線基板の露呈面を介して接続される。

【0008】上記構成により、第 1 の半導体チップと第

2 の半導体チップの接続パターンを中間配線基板の露呈面に集中させることができるため、片面基板の使用が可能になる。

【0009】

【発明の実施の形態】図 1 は、本発明の第 1 の形態の構成を示す断面図である。以下、同図に基いて該第 1 の形態の構成を説明する。

【0010】第 1 の半導体チップ 10 は、リードフレーム 20 のダイパッド上に載置され、チップ積層構造の土台となる。土台という観点からすれば、第 1 の半導体チップ 10 は、プロセッサ等の比較的大きなチップであることが好ましい。この第 1 の半導体チップ 10 は、ワイヤー 22 によってインナーリードに接続される。

【0011】ダイパッドは、同図に示すように、インナーリードよりも下方に形成し該チップの厚さを吸収させて、パッケージ 18 の薄型化を図ることが好ましい。

【0012】中間配線基板 14 は、第 1 の半導体チップ 10 のパッド形成面上に載置され、その上面に配線パターン 16 を備える。この中間配線基板 14 は、テープ基板で構成することが好ましい。これは、テープ基板が従来のセラミック基板よりも安価で薄く形成できるためである。また、テープ基板を用いれば、配線設計の自由度が向上するという利点もある。

【0013】第 2 の半導体チップ 12 は、上記配線パターン 16 上に載置され、ワイヤー 22 によって該配線パターン 16 に接続される。この第 2 の半導体チップ 12 は、メモリ等の比較的小きなチップであることが好ましい。

【0014】同図を参照すれば明らかであるように、上記各構成要素の大きさには、「第 2 の半導体チップ 12 < 中間配線基板 14 < 第 1 の半導体チップ 10」の関係がある。この関係により、配線パターン 16 および第 1 の半導体チップ 10 の上面が部分的に露呈することになる。各要素を接続するワイヤー 22 は、この露呈面にボンディングされる。

【0015】上記構成では、第 2 の半導体チップ 12 が中間配線基板 14 を介して、一旦第 1 の半導体チップ 10 に接続され、該第 1 の半導体チップ 10 の露呈面とインナーリードとがワイヤー 22 によって接続される。即ち、第 2 の半導体チップ 12 の配線は、一旦、第 1 の半導体チップ 10 のパッド形成面上に集中し、ここからインナーリードへと導かれる。

【0016】このような配線構造は、第 2 の半導体チップ 12 が第 1 の半導体チップ 10 の専用チップ（例えば、プロセッサ用のメモリ）である場合に有用である。このような場合には、第 2 の半導体チップ 12 からの配線を第 1 の半導体チップ 10 の入力端子にのみ接続すればよいので、第 2 の半導体チップ 12 の配線をインナーリードに中継するためのワイヤーは不要である。

【0017】このように、本発明の第 1 の形態によれ

ば、中間配線基板 14 の配線パターン 16 は、少なくとも第 2 の半導体チップ 12 が載置される側にのみ設ければよい。中間配線基板 14 を片面基板で構成することが可能になる。その結果、両面多層基板を用いた場合に比べて、パッケージの薄型化および製造コストの低減が期待できる。

【0018】図 2 は、本発明の第 2 の形態の構成を示す断面図である。同図に示すように、インナーリードへのワイヤー接続は、中間配線基板 14 の配線パターン 16 から行ってもよい。この構造は、第 2 の半導体チップ 12 の配線をインナーリードに直接導きたい場合に有用である。

【0019】図 3 は、本発明の第 3 の形態の構成を示す断面図である。同図に示すように、中間配線基板は、テープ基板 24 を 2 層重ねて形成してもよい。この場合、各層間の接続は、ビアホール 26 を介して行う。この場合、テープ基板 24 と第 1 の半導体チップ 10 の接続は、配線パターン 16 の露呈部分を利用して行う。

【0020】図 4 は、本発明の第 4 の形態の構成を示す断面図である。同図に示すように、複数のテープ基板 24 を階段状に積層し、各テープ基板 24 の露呈面からワ

イヤーを引き出すことも可能である。

【0021】図 5 は、本発明の第 5 の形態の構成を示す断面図である。同図に示すように、テープ基板 24 は、両面に配線パターンを形成したものを用いてもよい。

【図面の簡単な説明】

【図 1】本発明の第 1 の形態の構成を示す断面図である。

【図 2】本発明の第 2 の形態の構成を示す断面図である。

【図 3】本発明の第 3 の形態の構成を示す断面図である。

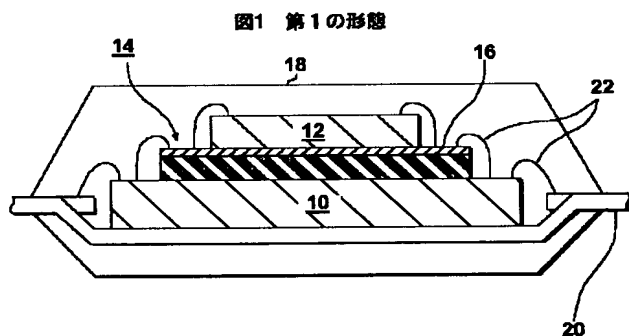
【図 4】本発明の第 4 の形態の構成を示す断面図である。

【図 5】本発明の第 5 の形態の構成を示す断面図である。

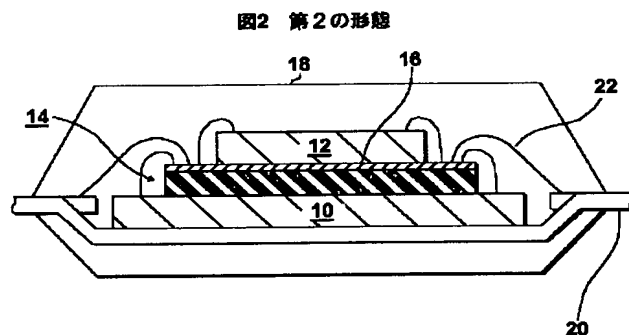
【符号の説明】

10…第 1 の半導体チップ、12…第 2 の半導体チップ、14…中間配線基板、16…配線パターン、18…パッケージ、20…リードフレーム、22…ワイヤー、24…テープ基板、26…ビアホール

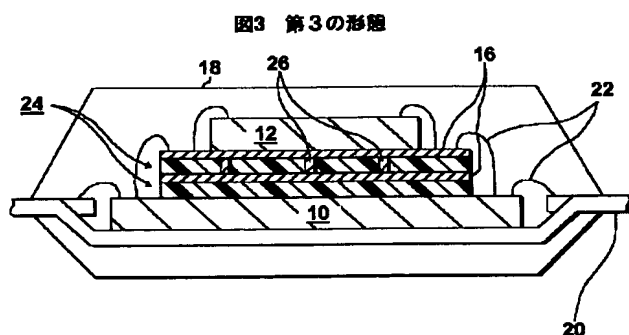
【図 1】



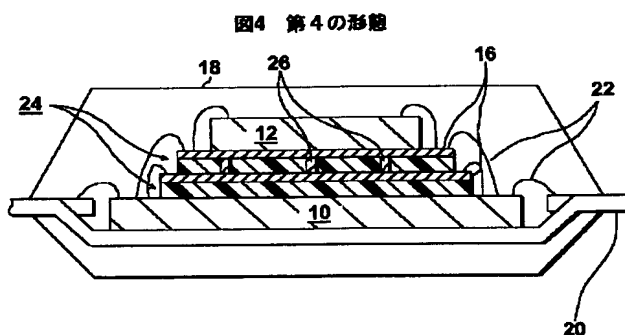
【図 2】



【図 3】



【図 4】



【図5】

図5 第5の形態

